

Parametrisierung von Plasma-Prozess-Modellen für den Digitalen Zwilling in der Halbleiterfertigung

Michael Klick
Plasmetrex, 12489 Berlin

Michael.Klick@plasmetrex.com

Digitale Zwillinge können bei komplexeren Technologien nur auf robusten und hinreichend validierten Prozessmodellen basieren. Ein entscheidender Engpass in jedem Fertigungsumfeld ist bei Plasma-Prozessen die Parametrisierung dieser Modelle, sie erfordert eine hinreichende Datenqualität: Verfügbarkeit, Nutzbarkeit (horizontale und vertikale Auflösung, ...) und Interpretierbarkeit. Die ersten beiden Eigenschaften sind in einem modernen Fertigungsumfeld prinzipiell auf hohem Niveau realisierbar, die Interpretierbarkeit setzt jedoch voraus, dass die verfügbaren Daten nicht die Hardware, sondern den Prozess inhaltlich hinreichend beschreiben. Genau diese Anforderung ist jedoch bei Plasma-Prozessen in der Regel nicht erfüllt.

Beispiele aus laufender Halbleiterfertigung zeigen echtzeitfähige Modelle für die Abscheiderate bei klassischer Si_3N_4 -Abscheidung und für Ätzrate und Strukturmaße (CD) für eine Si-Trench-Ätzung (siehe Bild unten aus apc|m 2021). An diesen Modellen kann beispielgebend aufgezeigt werden, wie

- Plasma-Prozess-Modelle mit Anlagen- und Plasma-Sensor-Daten parametrisiert werden können,
- welche Daten einen hinreichenden Beitrag liefern und
- welche minimale Komplexität für welche Prozessklasse erforderlich ist.

Die Beispiele erlauben abschließend auch eine Vorausschau, wie diese modellbasierten Ansätze zu einer höheren Effizienz des Fertigungsprozesses führen können. Sie ermöglichen durch eine Prozesskammer-übergreifende Validierung ein effizientes Chamber Matching (CM) und die Vorhersage von Prozessergebnissen (Virtual Metrology, VM).

The best linear 2d regression ($R^2 = 0.94$) for the etch rate is obtained by a combination source power and asymmetry. The p value is far below the limit for this two parameters only.

The source power scales over the density and temperature of the electrons the production rate of halogen radicals and so the etch rate at the wafer.

